



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 10-2002-0086647  
Application Number

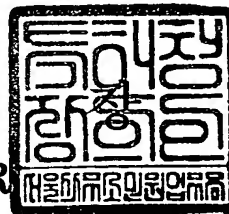
출원년월일 : 2002년 12월 30일  
Date of Application DEC 30, 2002

출원인 : 동부전자 주식회사  
Applicant(s) DONGBU ELECTRONICS CO.,LTD.



2003    년    12    월    19    일

특    허    청  
COMMISSIONER



## 【서지사항】

【서류명】	특허출원서		
【권리구분】	특허		
【수신처】	특허청장		
【참조번호】	0114		
【제출일자】	2002.12.30		
【발명의 명칭】	반도체 소자 제조방법		
【발명의 영문명칭】	METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE		
【출원인】			
【명칭】	동부전자 주식회사		
【출원인코드】	1-1998-106725-7		
【대리인】			
【성명】	장성구		
【대리인코드】	9-1998-000514-8		
【포괄위임등록번호】	1999-059722-7		
【대리인】			
【성명】	김원준		
【대리인코드】	9-1998-000104-8		
【포괄위임등록번호】	1999-059725-9		
【발명자】			
【성명의 국문표기】	박철수		
【성명의 영문표기】	PARK, Cheol Soo		
【주민등록번호】	610313-1637911		
【우편번호】	467-020		
【주소】	경기도 이천시 관고동 223-14		
【국적】	KR		
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인 장성구 (인) 대리인 김원준 (인)		
【수수료】			
【기본출원료】	12	면	29,000 원
【가산출원료】	0	면	0 원

【우선권주장료】	0	건	0	원
【심사청구료】	0	항	0	원
【합계】	29,000	원		
【첨부서류】	1.	요약서·명세서(도면)_1통		

**【요약서】****【요약】**

본 발명은 반도체 소자 제조방법에 관한 것이다. 즉, 본 발명은 반도체 소자 제조에 있어서, 게이트 형성시 채널 길이 조절용 질화막 증착공정을 통해 미세한 패턴의 게이트의 형성을 가능하게 함으로써, 반도체 소자 나노기술 실현에 있어 리소그래피 툴의 부담을 줄이면서도 소자의 동작 특성을 개선시킬 수 있게 된다.

**【대표도】**

도 2e

**【명세서】****【발명의 명칭】**

반도체 소자 제조방법(METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE)

**【도면의 간단한 설명】**

도 1은 본 발명의 실시 예에 따른 반도체 소자 제조를 위한 제1레이아웃도,

도 2a 내지 도 2e는 본 발명의 실시 예에 따른 트랜지스터 제조방법을 도시한 공정 수순도,

도 3은 상기 도 2c의 질화막 평탄화가 수행된 실리콘 기판의 평면도,

도 4는 본 발명의 실시 예에 따른 반도체 소자 제조를 위한 제2레이아웃도.

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <5> 본 발명은 반도체 소자 제조방법에 관한 것으로, 특히 반도체 소자 나노기술 실현에 있어 리소그래피 톨의 부담을 줄이면서 동작 특성을 개선한 트랜지스터 제조 방법에 관한 것이다.
- <6> 근래에 들어 반도체 집적도가 증가하여 나노기술(Nano-Technology) 실현에 근접하는 추세에 있다.
- <7> 그러나 양산성 측면에서 리소그래피 톨이나 재료가 아직 요원한 실정이고, 리소그래피 톨 및 재료가 웨이퍼의 대구경화를 가속화시키고 있으며, 또한 톨을 구매하는 초기비용 뿐만 아니라 공정 비용 또한 과도하게 증가되는 문제점이 있었다.

<8> 따라서 리소그라피 툴의 부담을 줄이면서도 우수한 트랜지스터 특성을 얻을 수 있는 새로운 트랜지스터 제조방법이 요구되고 있다.

【발명이 이루고자 하는 기술적 과제】

<9> 따라서, 본 발명의 목적은 반도체 소자 제조에 있어서 나노기술 실현에 따른 리소그라피 툴의 부담을 줄이면서도 우수한 동작 특성을 얻을 수 있는 반도체 소자 제조 방법을 제공함에 있다.

<10> 상술한 목적을 달성하기 위한 본 발명은 반도체 소자 제조 방법에 있어서, (a)소자 분리막이 형성된 반도체 소자 활성 영역내 제1질화막 및 소자 분리 산화막을 이방성 식각하여 실리콘 기판을 노출시키는 단계와; (b)에피택셜 성장으로 상기 반도체 소자 활성 영역을 에피택셜 활성화 영역으로 형성시키고, 그 상부에 제1산화막을 적층시키는 단계와; (c)소오스/드레인 마스크를 이용해 상기 게이트 형성부분에 적층된 제1산화막을 소정의 두께가 남도록 전식 식각시키는 단계와; (d)상기 소오스/드레인 영역에 적층된 제1산화막을 제거시키고, 에피택셜로 소오스/드레인을 성장시킨 후, 그 상부에 제2질화막을 증착시키는 단계와; (e)게이트 전극용 마스크를 이용하여 상기 게이트 영역에 노출된 제1산화막을 제거시켜 에피택셜 활성화 영역을 노출시키는 단계와; (f)상기 게이트 형성부분의 노출된 실리콘 기판 상부에 게이트 길이 조절용 질화막을 적층하고 에치백시키는 단계와; (g)게이트 절연막 게이트 전극을 적층하고, 그 상부에 제2산화막을 적층시킨 후, 게이트 전극 플러그, 소오스/드레인 전극 플러그를 형성시키는 단계;를 포함하는 것을 특징으로 한다.

## 【발명의 구성 및 작용】

- <11> 이하, 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시 예의 동작을 상세하게 설명한다.
- <12> 도 1은 본 발명의 트랜지스터 제조를 위해 사용되는 제1레이아웃도(Layout)를 도시한 것으로, 상기 도 1에서 보여지는 바와 같이 소자 분리용 마스크(100)와 소오스/드레인 용 마스크(200)로 구성된다.
- <13> 도 2a 내지 도 2e는 본 발명의 실시 예에 따른 트랜지스터 제조 방법을 도시한 공정 수순도이다. 이하 상기 도 2a 내지 도 2e를 참조하여 본 발명의 트랜지스터 제조방법을 상세히 설명한다.
- <14> 먼저 도 2a에서와 같이 실리콘 기판(1) 상부에 소자분리 산화막(2)을 분리깊이(Isolation Depth)만큼 열적으로 성장시키고, 그 상부에 제1질화막(3)을 적층시킨다. 이어 소자 분리용 마스크(100)를 사용해 감광막 패터닝을 수행하고, 활성영역(Active region)이 형성될 부분의 제1질화막(3), 소자분리 산화막(2)을 순차적으로 이방성 건식 식각을 하여 실리콘 기판을 노출시킨 후, 감광막을 제거시키고, 실리콘 기판에 대해 크리닝(Cleaning)을 수행한다. 그리고 에피택셜 성장(Epitaxial Growth)으로 에피택셜 활성영역(4)을 형성시키고 그 상부에 이후에 형성될 게이트 전극의 두께만큼 제1산화막(5)을 적층한 후, 소오스/드레인(Source/Drain)용 마스크(6)를 사용해 감광막을 패터닝하고 노출된 제1산화막(5)을 건식식각시킨다. 이때 상기 제1산화막(5)에 대해서는 건식 식각으로 식각하되 소정의 두께가 남도록 한다.

- <15>        이어 도 2b에서와 같이 감광막(6)을 제거시키고 소오스, 드레인이 형성될 부분의 상부에 남아있는 제1산화막(5)을 도프트 에피택셜 성장(Doped Epitaxial Growth)에 의하여 소오스(7a)와 드레인(7b)을 형성시킬 수 있으면서 채널 길이(L)를 조절할 수 있도록 희석된(Diluted) HF 용액을 이용하여 제거시킨다. 그런 후, 에피택셜로 소오스와 드레인을 성장시키고 그 상부에 제2질화막(8)을 제1산화막(5) 이상의 두께로 증착시킨다.
- <16>        그리고 도 2c에서와 같이 상기 제2질화막(8)을 CMP로 평탄화를 수행한다. 도 3은 상기 평탄화가 수행된 실리콘 기판의 평면도를 도시한 것으로, 상기 평탄화가 수행된 제2질화막(8)을 통해 소오스/드레인 활성영역(7a/7b)이 분리되고 있는 것을 볼 수 있다.
- <17>        도 4는 본 발명의 트랜지스터 제조를 위해 사용되는 제2레이아웃도를 도시한 것으로, 상기 도 4에서 보여지는 바와 같이 게이트 전극용 마스크(300)로 구성된다.
- <18>        다시 상기 도 2a 내지 도 2e를 참조하여 트랜지스터 제조 공정의 설명을 계속하면, 이어 도 2d에서와 같이 상기 도 4에 도시된 바와 같은 게이트 전극용 마스크(300)를 사용하여 게이트 전극용 감광막(9) 패턴닝을 수행하고 노출된 제1산화막(5)은 습식식각 에천트(Etchant)로 완전히 제거시켜 에피택셜 활성 영역(4)을 노출시키게 된다.
- <19>        그런 후, 도 2e에서와 같이 게이트 전극용 감광막(9)을 제거하고 노출된 상부에 소정 두께의 게이트 길이 조절용 질화막(10)을 적층시킨 후, 에치백(Etch-back)시킨다. 이어 게이트 절연막(12)과 게이트 전극(13)을 차례로 적층시키고 CMP를 수행한 후, 그 상부에 제2산화막(14)을 두껍게 적층시킨다. 그리고 게이트 전극 플러그(Plug)(15a), 소오스 전극 플러그(15b), 드레인 전극 플러그(15c)를 완성시켜 트랜지스터를 완성시키게 된다.



<20> 한편 상술한 본 발명의 설명에서는 구체적인 실시 예에 관해 설명하였으나, 여러 가지 변형이 본 발명의 범위에서 벗어나지 않고 실시될 수 있다. 따라서 발명의 범위는 설명된 실시 예에 의하여 정할 것이 아니고 특허청구범위에 의해 정하여져야 한다.

【발명의 효과】

<21> 이상에서 설명한 바와 같이, 본 발명은 반도체 소자 제조에 있어서, 게이트 형성시 채널 길이 조절용 질화막 증착공정을 통해 미세한 패턴의 게이트의 형성을 가능하게 함으로써, 반도체 소자 나노기술 실현에 있어 리소그래피 툴의 부담을 줄이면서도 소자의 동작 특성을 개선시킬 수 있는 이점이 있다.

## 【특허청구범위】

## 【청구항 1】

반도체 소자 제조 방법에 있어서,

(a) 소자 분리막이 형성된 반도체 소자 활성 영역내 제1질화막 및 소자 분리 산화막을 이방성 식각하여 실리콘 기판을 노출시키는 단계와;

(b) 에피텍셀 성장으로 상기 반도체 소자 활성 영역을 에피텍셀 활성화 영역으로 형성시키고, 그 상부에 제1산화막을 적층시키는 단계와;

(c) 소오스/드레인 마스크를 이용해 상기 게이트 형성부분에 적층된 제1산화막을 소정의 두께가 남도록 건식 식각시키는 단계와;

(d) 상기 소오스/드레인 영역에 적층된 제1산화막을 제거시키고, 에피텍셀로 소오스/드레인을 성장시킨 후, 그 상부에 제2질화막을 증착시키는 단계와;

(e) 게이트 전극용 마스크를 이용하여 상기 게이트 영역에 노출된 제1산화막을 제거시켜 에피텍셀 활성화 영역을 노출시키는 단계와;

(f) 상기 게이트 형성부분의 노출된 실리콘 기판 상부에 게이트 길이 조절용 질화막을 적층하고 에치백시키는 단계와;

(g) 게이트 절연막 게이트 전극을 적층하고, 그 상부에 제2산화막을 적층시킨 후, 게이트 전극 플러그, 소오스/드레인 전극 플러그를 형성시키는 단계;를 포함하는 것을 특징으로 하는 반도체 소자 제조방법.

**【청구항 2】**

제1항에 있어서,

상기 (a)단계에서, 상기 소자분리막은, STI 형태로 형성되는 것을 특징으로 하는 반도체 소자 제조방법.

**【청구항 3】**

제1항에 있어서,

상기 (b)단계에서, 상기 제1산화막은, 게이트 전극 두께만큼 형성되는 것을 특징으로 하는 반도체 소자 제조방법.

**【청구항 4】**

제1항에 있어서,

상기 (d)단계에서, 상기 소오스/드레인 영역에 적층된 제1산화막은, 도프트 에픽택셜 성장에 의하여 소오스/드레인 형성이 가능하며, 게이트 채널 길이의 조절이 가능하도록 하는 희석된 HF 용액에 의해 제거되는 것을 특징으로 하는 반도체 소자 제조방법.

**【청구항 5】**

제1항에 있어서,

상기 (d)단계에서, 상기 제2절화막은 상기 제1산화막 이상의 두께로 증착되는 것을 특징으로 하는 반도체 소자 제조방법.

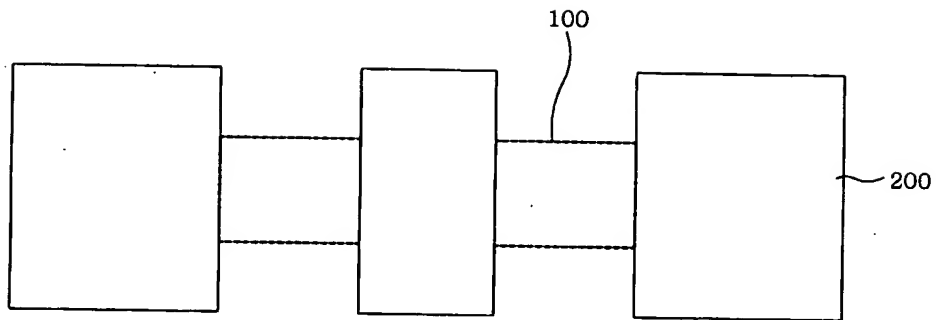
【청구항 6】

제1항에 있어서,

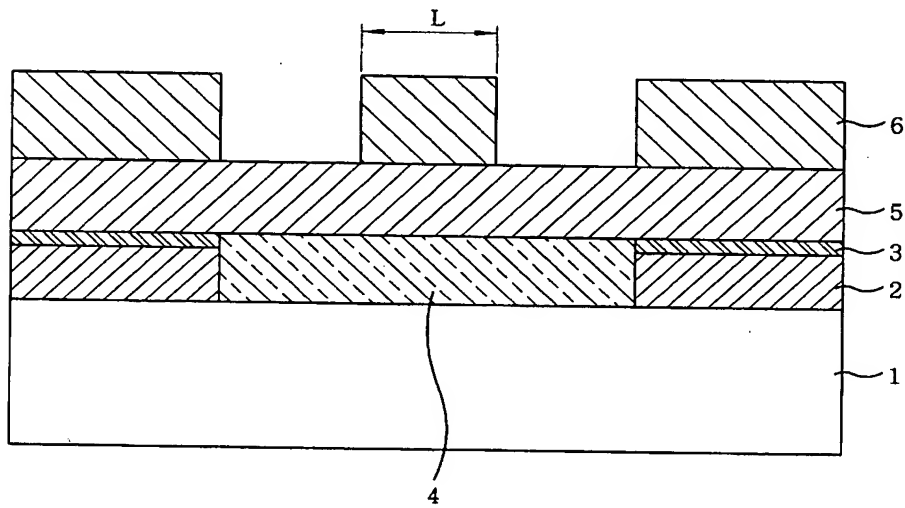
상기 (d)단계에서, 상기 소오스/드레인은, BSG 또는 PSG 증착 어닐링 방식으로 형성되는 것을 특징으로 하는 반도체 소자 제조방법.

【도면】

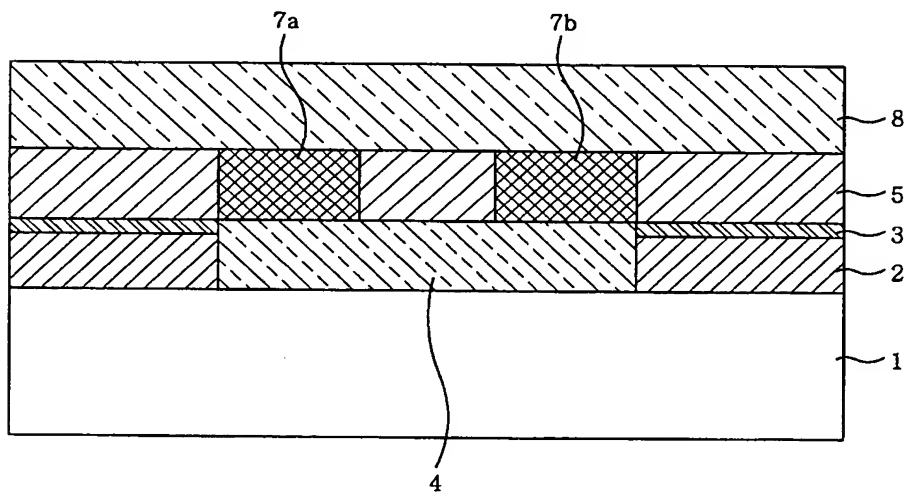
【도 1】



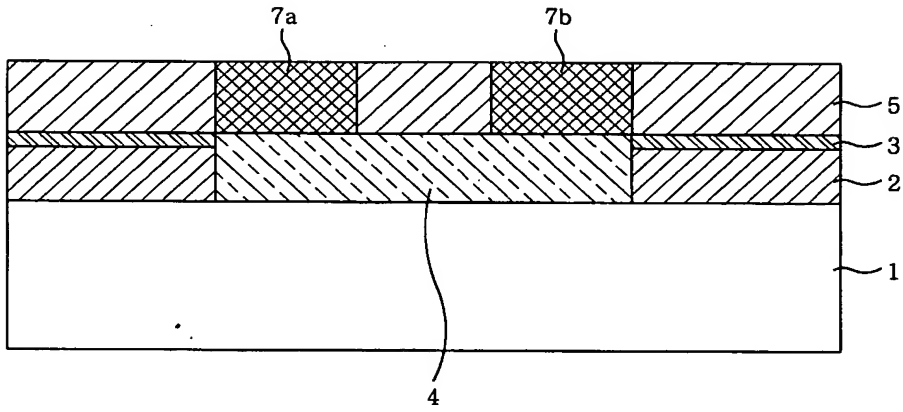
【도 2a】



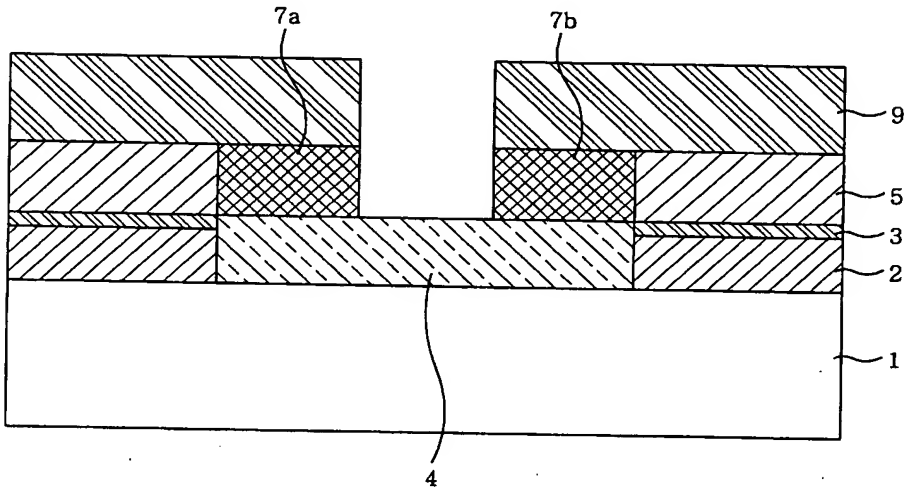
【도 2b】



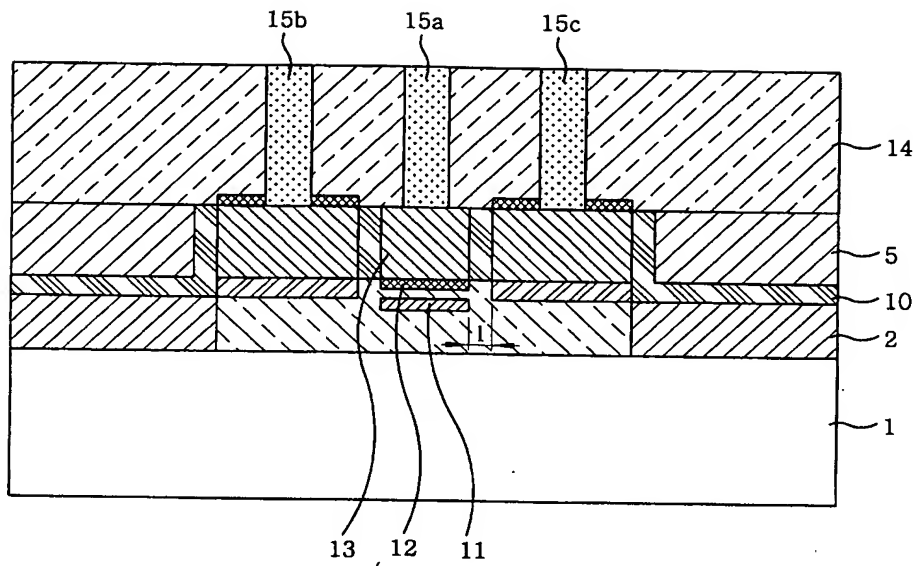
【도 2c】



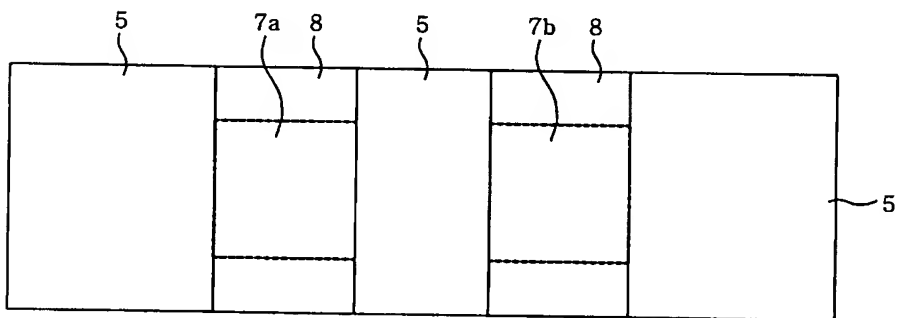
【도 2d】



【도 2e】



【도 3】



【도 4】

